

Original document

A/D CONVERTER

Patent number: JP2279021
 Publication date: 1990-11-15
 Inventor: MIYASHITA TAKUMI
 Applicant: FUJITSU LTD
 Classification:
 - international: **H03M1/40; H03M1/38**; (IPC1-7): H03M1/40
 - european:
 Application number: JP19890100793 19890420
 Priority number(s): JP19890100793 19890420

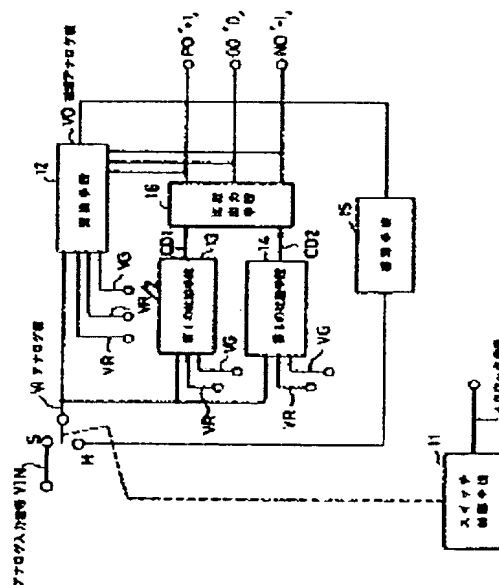
[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP2279021

PURPOSE: To convert an analog value into a digital value with high accuracy and single power supply by setting a conversion decision level of a conversion means between a 1st reference voltage and a 3rd reference voltage.

CONSTITUTION: A conversion decision level of a conversion means 12 is set between a 1st reference voltage VR and a 3rd reference voltage VG. That is, a converting range is divided into three with two comparison means 13, 14 receiving the 1st and 3rd reference voltages VR, VG with respect to the analog value Vi extracted from the analog input signal VIN, and the conversion decision level is set to a median of the 1st and 3rd reference voltages VR, VG. Thus, comparison output signals CD1, CD2 are outputted by using the 1st and 3rd reference voltage VR, VG as the input range together with 1st and 2nd comparison means 13, 14 with respect to a cyclic analog value VO of the analog value Vi extracted from the analog signal VIN. Thus, it is possible to output three digital values PO'+1', OO'0' and NO'-1' from the comparison output means 16.



Data supplied from the *esp@cenet* database - Worldwide

⑫ 公開特許公報(A) 平2-279021

⑬ Int. Cl.³
H 03 M 1/40識別記号 庁内整理番号
6832-5 J

⑭ 公開 平成2年(1990)11月15日

審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 A/D変換器

⑯ 特 願 平1-100793

⑰ 出 願 平1(1989)4月20日

⑱ 発 明 者 官 下 工 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 岡本 啓三

明 細 書

1. 発明の名称

A/D変換器

2. 特許請求の範囲

クロック信号(ϕ)に基づいて、アナログ入力信号(VIN)からアナログ値(Vi)を抽出し、かつ変換手段(12)、第1、第2の比較手段(13、14)及び循環手段(15)の入出力を制御するスイッチ制御手段(11)と、

前記アナログ値(Vi)と第1、第2及び第3の基準電圧(VR、VR/2、VG)とを入力して、循環アナログ値(VO)を出力する変換手段(12)と、

前記循環アナログ値(VD)と第1及び第3の基準電圧(VR、VG)とを入力して、第1の比較出力信号(CD1)を出力する第1の比較手段(13)と、

前記循環アナログ値(VO)と第1及び第3の基準電圧(VR、VG)とを入力して、第2の比較出力信号(CD2)を出力する第2の比較手段

(14)と、

前記循環アナログ値(VO)を、変換手段(12)と第1、2の比較手段(13、14)とに循環させる循環手段(15)と、

前記第1及び第2の比較出力信号(CD1、及びCD2)を入力して、3つのデジタル値(PO「+1」、OO「0」、NO「-1」)を出力する比較出力手段16とを具備し、

前記変換手段(12)の変換判定レベルを、第1の基準電圧(VR)と第3の基準電圧(VG)との間に設定することを特徴とするA/D変換器。

3. 発明の詳細な説明

(概要)

A/D変換器、特にアナログ入力信号からアナログ値を抽出し、循環アナログ値と基準電圧とを加減/比較して、デジタル値を出力する循環比較型A/D変換器に関し、

該循環比較型A/D変換器の変換レンジを比較回路の入力レンジに左右されることなく広く確保して、単一電源で精度良くアナログ値をデジタル

値に変換することを目的とし、

クロック信号に基づいて、アナログ入力信号からアナログ値を抽出し、かつ変換手段、第1、第2の比較手段及び循環手段の入出力を制御するスイッチ制御手段と、前記アナログ値と第1、第2及び第3の基準電圧とを入力して、循環アナログ値の出力をする変換手段と、前記循環アナログ値と第1及び第3の基準電圧とを入力して、第1の比較出力信号を出力する第1の比較手段と、前記循環アナログ値と第1及び第3の基準電圧とを入力して、第2の比較出力信号を出力する第2の比較手段と、前記循環アナログ値を、変換手段と第1、2の比較手段とに循環させる循環手段と、前記第1、及び第2の比較出力信号を入力して、3つのデジタル値を出力する比較出力手段16とを具備し、前記変換手段の変換判定レベルを第1の基準電圧と第3の基準電圧との間に設定することを含み構成する。

回路2、比較回路3、4、S/H回路5、容量C0～C2及びスイッチS0～S4から成る。

その動作は、まず、アナログ入力信号VINからスイッチS1、S2を介してアナログ値VIが抽出（サンプリング）されると、アナログ値VIに基づく電圧が容量C2とC1とに充電される。次に、スイッチS1、S0を介して入力された基準電圧VR、VGに基づく電荷が容量C1、C0に充電される。このアナログ値VIが容量C1、C0に充電された電荷と加減され、スイッチS3を介して変換セル回路2から循環アナログ値VOが出力される。そして、この循環アナログ値VOがスイッチS4を介して比較回路3、4に入力される。比較回路3では、循環アナログ値VOと基準電圧VR/4とが加減／比較され、比較回路4では循環アナログ値VOと基準電圧VR/4とが比較される。この結果、3つのデジタル値PO「+1」、OO「0」、NO「-1」が出力されるものである。

この際の基準電圧VR/4、-VR/4、VR

（産業上の利用分野）

本発明はA/D変換器に関するものであり、更に詳しく言えば、アナログ入力信号からアナログ値を抽出し、循環アナログ値と基準電圧とを加減／比較してデジタル値を出力する循環比較型A/D変換器に関するものである。

近年、半導体集積回路（LSI）技術の発展に伴い、高機能のアナログ回路とデジタル回路とを混在した高度な信号処理LSIの要求が高まっている。

この様なLSIにおいては、変換レンジが広く、しかも単一電源で動作させることが要求される。

（従来の技術）

第6、7図は、従来例に係る説明図である。

第6図は、従来例のA/D変換器に係る構成図であり、3値制御循環比較型A/D変換器を示している。

図において、3値制御循環比較型A/D変換器は、スイッチトキャパシタ制御回路1、変換セル

の動作電源は、正負両電源（±5（V））を必要とする。

（発明が解決しようとする課題）

第7図は、従来例の問題点にかかる変換レンジを説明する図である。

図において、3値制御循環比較型A/D変換器の変換レンジは、基準電圧VR、-VR間が3つに分割され、その中間点に判定レベルをもつものである。

このため、比較回路3、4の基準電圧±VR/4に伴うオフセット誤差については、アナログ入力信号VINの中央値に判定レベルを設けることによって、アナログ値VIが変換レンジの中央部により変換される。これにより、比較回路3、4のオフセット誤差を取り除くことができる。

しかし、変換レンジが比較回路3、4の基準電圧±VR/4、すなわち比較回路3、4を構成するオペアンプの入力レンジに制御されて、例えば、±5（V）動作の場合、アナログ入力信号VIN

に対する変換レンジが1.5~3.5 (V)程度になり、変換レンジが狭くなるという問題がある。

本発明は、かかる従来例の問題点に鑑み創作されたものであり、循環比較型A/D変換器の変換レンジを比較回路の入力レンジに左右されことなく広く確保して、単一電源で精度良くアナログ値をデジタル値に変換することを可能とするA/D変換器の提供を目的とする。

(課題を解決するための手段)

第1図は、本発明のA/D変換器に係る原理図を示している。

その変換器は、クロック信号 ϕ に基づいて、アナログ入力信号VINからアナログ値Viを抽出し、かつ変換手段12、第1、第2の比較手段13、14及び循環手段15の入出力を制御するスイッチ制御手段11と、前記アナログ値Viと第1、第2及び第3の基準電圧VR、VR/2、VGとを入力して、循環アナログ値VOの出力をする変換手段12と、前記循環アナログ値VOと、

変換判定レベルが第1、第2の基準電圧VRとVGの中央値に設定されている。

このため、アナログ入力信号VINから抽出されたアナログ値Viの循環アナログ値VOに対して、第1、第2の比較手段13、14共に、第1、第2の基準電圧VR~VGを入力レンジにして、比較出力信号CD1、CD2を出力することができる。従ってCD1、CD2を入力した比較出力手段17から3つのデジタル値PO「+1」、OO「0」及びNO「-1」を出力することが可能となる。

また、変換手段12、第1、第2の比較手段13、14の基準電圧VR、VR/2、VGについて、従来のような負の電源を省略することが可能となる。

これにより、従来に比べて変換レンジが広く、単一電源で動作する3値制御循環比較型のA/D変換器を製造することが可能となる。

第1及び第3の基準電圧VR、VGとを入力して、第1の比較出力信号CD1を出力する第1の比較手段13と、前記循環アナログ値VOと第1及び第3の基準電圧VR、VGとを入力して、第2の比較出力信号CD2を出力する第2の比較手段14と、前記循環アナログ値VOを、変換手段12と第1、2の比較手段13、14とに循環させる循環手段15と、前記第1、及び第2の比較出力信号CD1、及びCD2を入力して、3つのデジタル値PO「+1」、OO「0」、NO「-1」を出力する比較出力手段16とを具備し、前記変換手段12の変換判定レベルを第1の基準電圧VRと第3の基準電圧VGとの間に設定することを特徴とし、上記目的を達成する。

(作用)

本発明によれば、アナログ入力信号VINより抽出されたアナログ値Viに対して、第1、第2の基準電圧VR、VGを入力した2つの比較手段13、及び14により変換レンジが3分割され、

(実施例)

次に図を参照しながら本発明の実施例について説明をする。

第2~5図は、本発明の実施例に係るA/D変換器を説明する図であり、第2図は本発明の実施例の3値制御循環比較型のA/D変換器に係る構成図を示している。

図において、21はスイッチ制御手段11の一実施例となるスイッチトキャパシタ制御回路であり、変換セル回路22、比較回路23、24、S/H回路25のスイッチング素子S1~S24及びアナログ入力信号VINを抽出するスイッチング素子S25等に供給する制御信号を、クロック信号 ϕ に基づいて生成する機能を有している。

22は変換手段12の一実施例となる変換セル回路であり、オペアンプOP1、充放電用コンデンサC1~C3及びスイッチング素子S1~S11から成る。変換セル回路22は、アナログ入力信号VINから抽出されたアナログ値Viと基準電圧VR、VGとを入力して、循環アナログ値V

0を出力する機能を有している。

なお、オペアンプOP1には、仮想グランド電位となる基準電圧 $V_R/2$ が入力されている。

ここで、仮想グランド電位とは、アナログ電源電位 V_R とアナロググランド電位 V_G とのほぼ中間電位を意味するものである。この仮想グランド電位は、変換セル回路22のオペアンプOP1の他に、スイッチング素子S6、S4にも接続される。また後述のS/H回路25のオペアンプOP2にも仮想グランド電位が接続される。

仮想グランド電位は基準電圧発生回路27により生成される。すなわち、これは、基準電圧発生回路27に入力されたアナログ電源電圧 $AVCC = V_R$ とアナロググランド電位 $V_G = 0$ とを抵抗R1、R2により2分割した中間電位 $V_M = V_R/2$ により得られるものである。

また、充放電用コンデンサC1、C2及びC3の間には、容量Cに対して $C1 = C2 = 2C$ 、 $C3 = C$ の関係性を有している。この関係と仮想グランド電位の関係からオペアンプOP1の入力信号

22、S24から成る。比較回路23は、アナログ入力信号VINから抽出されたアナログ値Viや、循環アナログ値VOと、基準電圧VR、VGとを入力し、比較出力信号CD2を出力する機能を有している。

25は循環手段15の一実施例となるS/H回路であり、オペアンプOP2と、充放電用コンデンサC8及びスイッチング素子S12～S14から成る。S/H回路25は、変換セル回路22からの循環アナログ値VOを、再び変換セル回路22や比較回路23、24に循環させる機能を有している。なお、オペアンプOP2には仮想グランド電位（基準電圧 $V_R/2$ ）が入力されている。

26は比較出力手段16の一実施例となる比較出力回路であり、二入力NOR論理素子NORから成る。比較出力回路26は、比較出力信号CD1、及びCD2を入力して、デジタル値PO「+1」、OO「0」及びNO「-1」を出力する機能を有している。

S25はS/H選択スイッチング素子であり、

の振幅、例えば振幅を1とすると、その出力信号の振幅を1/2にすることができる。これにより、アナログ入力信号VINからアナログ値Viを抽出し、第1回目の循環アナログ値 $VO = Vi$ をS/H回路25を介して循環させることで、変換すべきアナログ値Viを減衰（アッテネート）させることができる。この第1回目の循環アナログ値 $VO = Vi$ に係る動作は、第3～5図を参照しながら詳述する。

23は、第1の比較手段13の一実施例となる比較回路であり、インバータIN1、充放電用コンデンサC4、C5及びスイッチング素子S15～S18、S23から成る。比較回路23は、アナログ入力信号VINから抽出されたアナログ値Viや、循環アナログ値VOと基準電圧VR、VGとを入力し、比較出力信号CD1を出力する機能を有している。

24は、第2の比較手段の一実施例となる比較回路であり、インバータIN2、充放電用コンデンサC6、C7及びスイッチング素子S19～S

アナログ入力信号VINからアナログ値Viをサンプリングするサンプリング状態では「S」側、アナログ値Viや循環アナログ値VOと基準電圧VR、 $VR/2$ 、VGとの加減/比較をするホールド状態では、「H」側に切り換わるものである。

また、各基準電圧VR、 $VR/2$ 、VGは、例えばマイクロコンピュータ等の動作電源である直流5(V)を用いる。従って、基準電圧 $VR = 5(V)$ とすれば、基準電圧 $VR/2 = 2.5(V)$ 、基準電圧 $VG = 0(V)$ となる。

第3図は本発明の実施例のA/D変換器のスイッチ制御に係るタイムチャートであり、アナログ入力信号VINについて、クロック信号2サイクルでアナログ値Viを抽出し、その後4サイクル毎にアナログ値Viの重み付けを行なうタイムチャートを示している。

図において、φはクロック信号であり、スイッチトキャパシタ制御回路21に入力される基準信号である。

S/Hはクロック信号に同期して動作するスイ

ッチング素子S25の制御信号であり、サンプリング状態「S」、又はホールド状態「H」を選択する信号である。

SS1~SS11はクロック信号に同期して動作する変換セル回路22のスイッチング素子S1~S11の制御信号であり、サンプリングされたアナログ値Viや循環アナログ値VOに基づく電荷を、充放電用コンデンサC1~C3に入力する信号である。

SS12~SS14はクロック信号に同期して動作するS/H回路25のスイッチ制御信号である。

SCS1、SCS2はクロック信号に同期して動作する各比較回路23、24のスイッチング素子S15、S17、S23、S19、S21、S24の制御信号であり、各比較回路23、24にサンプリングされたアナログ値Viや循環アナログ値VOに基づく電荷を充放電用コンデンサC4~C7に注入する信号である。

SCH1、SCH2はクロック信号に同期して

動作する各比較回路23、24のスイッチング素子S16、S18、S20、S22の制御信号であり、各比較回路23、24にホールドされたアナログ値Viや循環アナログ値Viに基づく電荷を加減/比較する信号である。

第4図は、本発明の実施例に係る変換判定レベルを説明する図である。

図において、Lは変換判定レベルであり、基準電圧VRとVGとの中央値に基準電圧VR/2を設定することにより得られる。これは、アナログ入力信号VINより抽出されたアナログ値Viに対して、2つの比較回路23、24により、変換レンジが3分割されたことになる。

このため、比較回路23は、アナログ値Viと基準電圧VR、VR/2との関係が、 $VR/2 \leq Vi < VR$ の場合には、デジタル値PO「+1」の出力を分担する。

さらに、比較出力回路26はアナログ値Viと基準電圧VR/2、VGとの関係が $VR/2 < Vi \leq VG$ の場合には、デジタル値OO「0」の出

力を分担する。

また、比較回路24は、アナログ値Viと基準電圧VGとの関係が $Vi < VG$ の場合には、デジタル値NO「-1」の出力を分担する。

これにより、アナログ入力信号VINから抽出したアナログ値Viの重み付けを単一電源で、しかもフルスケールの変換レンジにて行なうことができる。

第5図(a)~(f)は、本発明の実施例のA/D変換器の動作に係る補足説明図であり、アナログ値Viの取り込みから第1回目とのデジタル値の出力に至る間のスイッチング素子S1~S25の状態を示す図である。

同図(a)において、まずクロック信号①の立ち上がりに同期して、さらに変換セル回路22のスイッチング素子S3を「ON」してアナログ入力信号VINを抽出する(サンプリング状態)。

これにより、充放電用コンデンサC3にアナログ入力信号VINから抽出されたアナログ値Viに基づく電荷が注入される。同時にスイッチング

素子S6、S11が「ON」され、充放電用コンデンサC2に基準電圧VR/2に基づく電荷と、先のアナログ値Viに基づく電荷が加減される。他のスイッチング素子S1、S2、S4、S5、S7~S10、S12~S23は、OFFである。

次に、図(b)において、クロック信号②の立ち上がりに同期して、スイッチング素子S25を「H」にし、さらに変換セル回路22のスイッチング素子S3、S6、S11を「OFF」とすると共に、S7、S4を「ON」する。また、S/H回路のスイッチング素子S12、S14を「ON」してホールド状態を作る。これにより、第1回目の循環アナログ値 $VO = Vi$ に基づく電荷が充放電用コンデンサC1~C3、C8に充電される。

次いで、同図(c)において、クロック信号③の立ち上がりに同期して、変換セル回路22のスイッチング素子S7を「OFF」とすると共に、S4、S5、S8、S10、S11が「ON」し、充放電用コンデンサC1~C3に電荷が注

入される。

一方、比較回路23、24のスイッチング素子S15、S17、S19、S21、S23、S24がクロック信号φ-③の立ち上がり同期して「ON」し、充放電用コンデンサC4～C7に循環アナログ値VO=V1に基づく電荷が注入される。このとき、S/H回路25のスイッチング素子S12、S14が「OFF」すると共にS13が「ON」してオフセットが取り除かれる。

さらに、同図(d)において、クロック信号φ-④の立ち上がり同期して、変換セル回路2.2のスイッチング素子S5、S8、S11、「OFF」すると共にS4、S6、S9、S10が「ON」し、充放電用コンデンサC1～C3に基準電圧VR/2に基づく電荷が注入される。

同時に比較回路23、24のスイッチング素子S15、S17、S19、S21、S23、S24が「OFF」すると共にS16、S18、S20、S22が「ON」し、充放電用コンデンサC4～C7に基準電圧VR、VCが接続される。

る。なお、比較回路23、24のスイッチング素子S16、S18、S20、S22は「ON」状態を継続している。

このクロック信号φ-①～⑥によって、変換セル回路2.2の入出力の関係は、入力電圧Vi(アナログ値)、出力電圧をVO(循環アナログ値)とすると、

$$VO = 2Vi \cdot A \cdot VR \quad (A \text{ は定数}) \quad \dots (1)$$

ここで、VRは基準電圧であり、Aは、比較出力回路26の出力によりPO「+1」、OO「0」、NO「-1」の3つの値をとる。この変換セル回路2.2の出力は、循環アナログ値VOとなって、再び変換セル回路2.2や比較回路23、24に入力される。

この操作がn回繰り返される。このn回の繰返しを式で表現すると、第1サイクル目の変換セル回路2.2の入力電圧Vi(i)、出力電圧VO(i)、比較出力回路26の判定結果をAiとすれば、

次いで、同図(e)において、クロック信号φ-⑤の立ち上がり同期して、変換セル回路2.2のスイッチング素子S5、S11が「ON」し、S6、S10が「OFF」すると共にオペアンプOP1のオフセットが取り除かれる。

なお、変換セル回路2.2のスイッチング素子S4、S9、S11、比較回路23、24のスイッチング素子S16、S18、S20、S22及びS/H回路25のスイッチング素子S13は「ON」状態を維持している。

次に、同図(f)において、クロック信号φ-⑥の立ち上がり同期して、変換セル回路2.2のスイッチング素子S4、S5、S9、S11が「OFF」すると共に、S1、S7、S8、S10が「ON」し、基準電圧VRが充放電用コンデンサC1～C3に接続され、次の循環アナログ値VOを生成する。

同時にS/H回路25のスイッチング素子S12が「OFF」すると共に、S12、S14が「ON」し、次のホールド状態の準備がなされ

$$\left. \begin{aligned} Vi(i) &= VIN \\ Vi(i) &= VO(i-1) \quad \text{但し } i \geq 2 \\ Vi(i) &= 2 \cdot Vi(i) - Ai \cdot VR \end{aligned} \right\} \dots (2)$$

但し $i \geq 1$

なる漸化式が得られる。

これにより、

$$VO(n) = 2^n \cdot (VIN - \sum_{i=1}^n 2^{-i} \cdot Ai \cdot VR)$$

となる。これをアナログ入力信号VINについて整理すると、

$$VIN = \sum_{i=1}^n 2^{-i} \cdot Ai \cdot VR + VO(n) \cdot 2^{-n}$$

となる。

なお、本発明の実施例では、比較出力回路26の判定結果Aiについて、デジタル値PO「+1」、OO「0」、NO「-1」をそれぞれ出力することができる。

また、デジタル出力、PO「+1」、OO「0」、NO「-1」を2進数に変換する方法は、2台のシフトレジスタ等を用いて、1ビット毎に補正を行うことにより得られる。例えば、比較出力回路26のデジタル値PO「+1」が1100、

NO「-1」が0011の場合には、次式により、

$$\begin{array}{r} \text{PO「+1」} \quad 1100 \\ -) \text{NO「-1」} \quad 0011 \\ \hline 01001 \end{array}$$

となり、3値を2値に変換することができる。

このようにして、本発明の実施例によれば、アナログ入力信号VINから抽出されたアナログ値Viに対して基準電圧VR、VGを入力した2つの比較回路23、24により当該A/D変換器の変換レンジが3分割され、変換判定レベルが基準電圧VR、VGの中央値に設定されている。

このため、アナログ入力信号VINから抽出されたアナログ値Viや循環アナログ値VOに対して、比較回路23、24共に、基準電圧VRからVGまでをフルスケール（入力レンジ）にして、比較出力信号（CD）1、CD2を出力することができる。従って、比較出力信号CD1、CD2を入力した比較出力回路26から3つのデジタル値PO「+1」、OO「0」、及びNO「-1」

を出力することが可能となる。

また、変換セル回路22、比較回路23、24の充放電用コンデンサC1～C7の容量関係をC1=C4=C6=2C、C3=C5=C7=Cとしたり、変換セル回路22の仮想グラウンド電位及びS/H回路25のオペアンプOP2の仮想グラウンド電位を基準電圧発生回路27で、アナログ電源電圧AVCC=VRの1/2とすることにより、従来のような負の電源を省略することが可能となる。

これにより、従来に比べて変換レンジが広く、単一電源で動作する3値制御循環比較型のA/D変換器を製造することが可能となる。

（発明の効果）

以上説明したように、本発明によれば、アナログ入力信号を変換判定レベルを中心に再現性良くデジタル値に変換することができる。

このため、比較器の精度に左右されることなく、単一電源で動作する高分解能のA/D変換器を構

成することが可能となる。

これにより、音声認識装置などのアナログ/デジタル混在回路を制御するマイクロコンピュータ周辺回路装置として、当該A/D変換器を搭載することが可能となる。

4. 図面の簡単な説明

第1図は、本発明のA/D変換器に係る原理図、

第2図は、本発明の実施例のA/D変換器に係る構成図、

第3図は、本発明の実施例のA/D変換器のスイッチ制御に係るタイムチャート、

第4図は、本発明の実施例に係る変換判定レベルを説明する図、

第5図（a）～（f）は、本発明の実施例のA/D変換器の動作に係る補足説明図、

第6図は、従来例のA/D変換器に係る構成図、

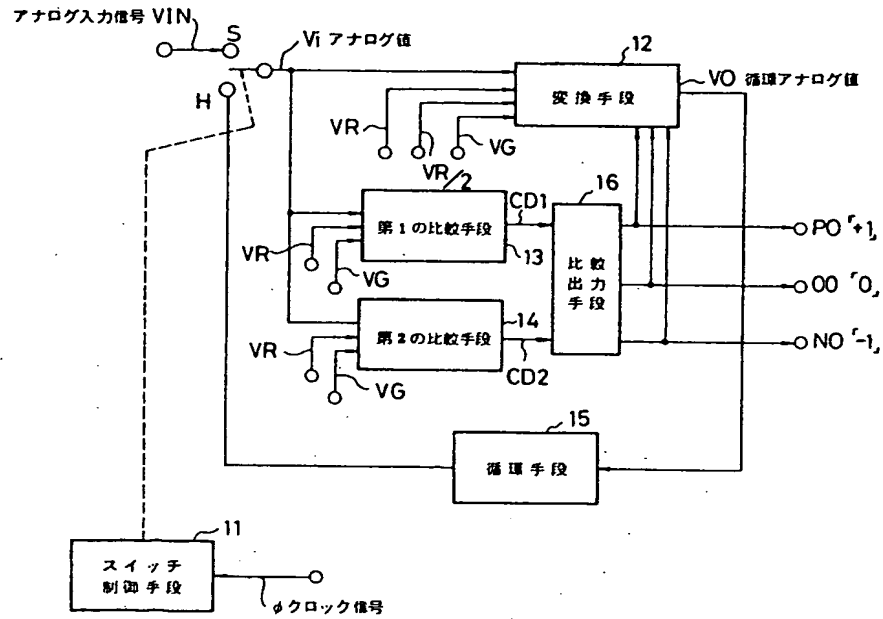
第7図は、従来例の問題点に係る変換レンジを説明する図である。

（符号の説明）

- 11…スイッチ制御手段、
- 12…変換手段、
- 13…第1の比較手段、
- 14…第2の比較手段、
- 15…循環手段、
- 16…比較出力手段、
- VIN…アナログ入力信号、
- VO…循環アナログ値、
- Vi…アナログ値、
- CD1、CD2…比較出力信号、
- VR、VR/2、VG…基準電圧、
- PO「+1」、OO「0」、NO「-1」…デジタル値、
- φ…クロック信号。

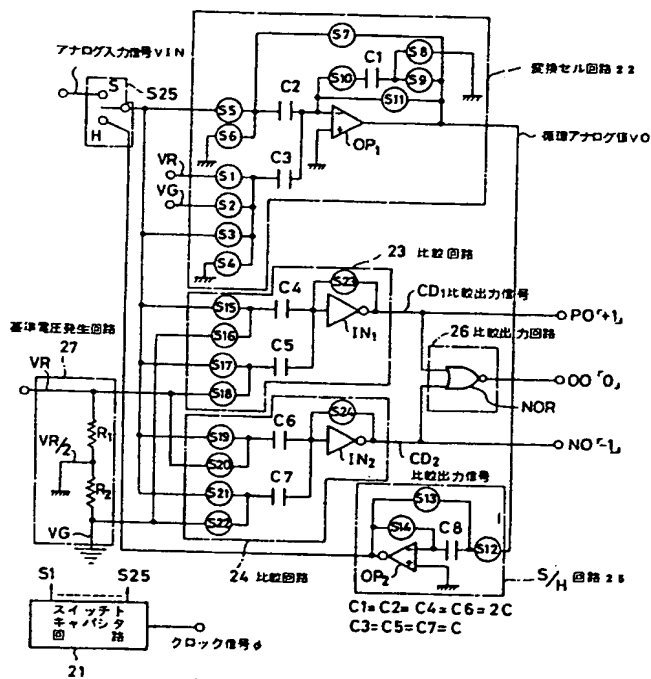
特許出願人 富士通株式会社

代理人弁理士 岡 本 啓 三



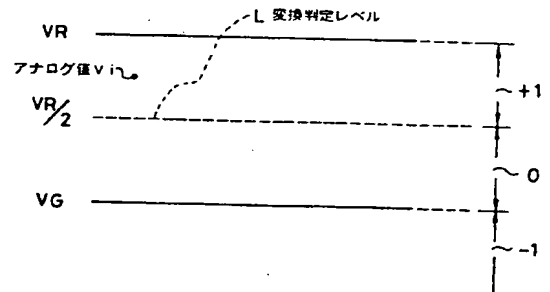
本発明のA/D変換器に係る原理図

第1図



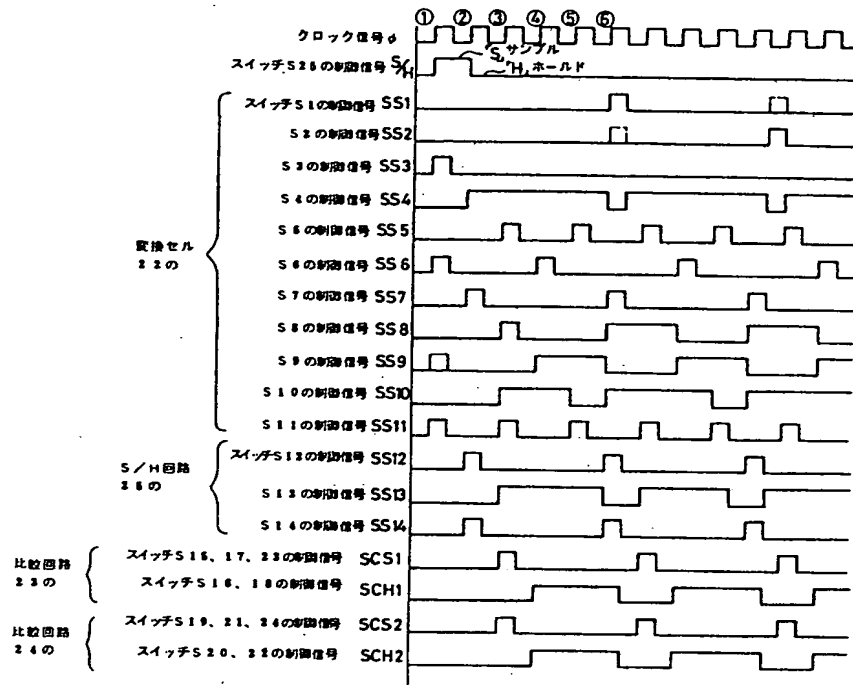
本発明の実施例のA/D変換器に係る構成図

第2図



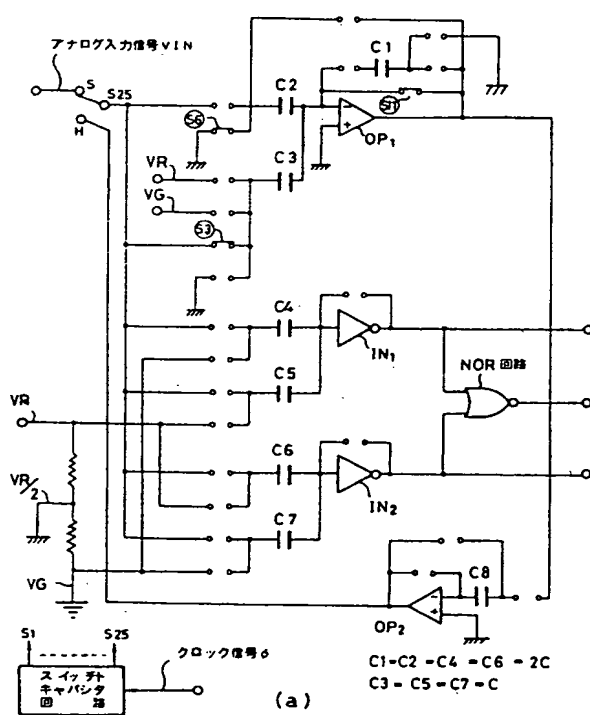
本発明の実施例に係る変換判定レベルを説明する図

第4図

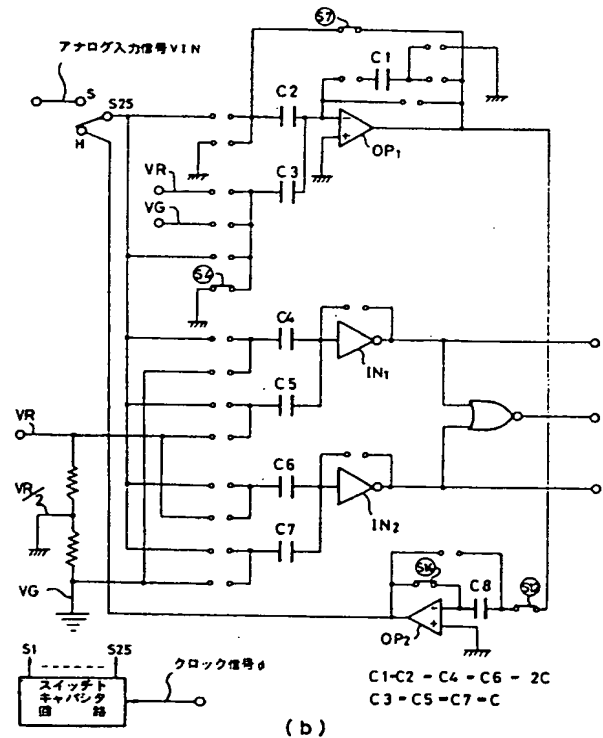


本発明の実施例のA/D変換器のスイッチ制御に係るタイムチャート

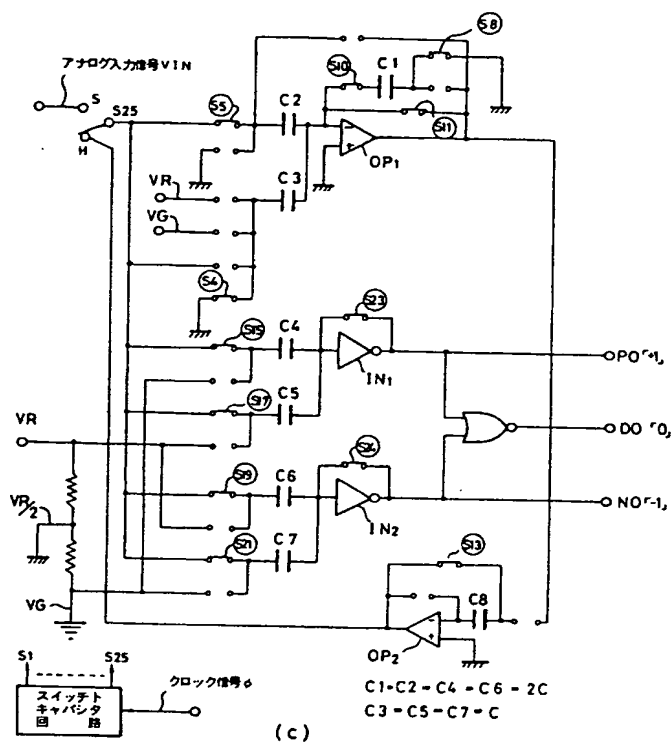
第3図



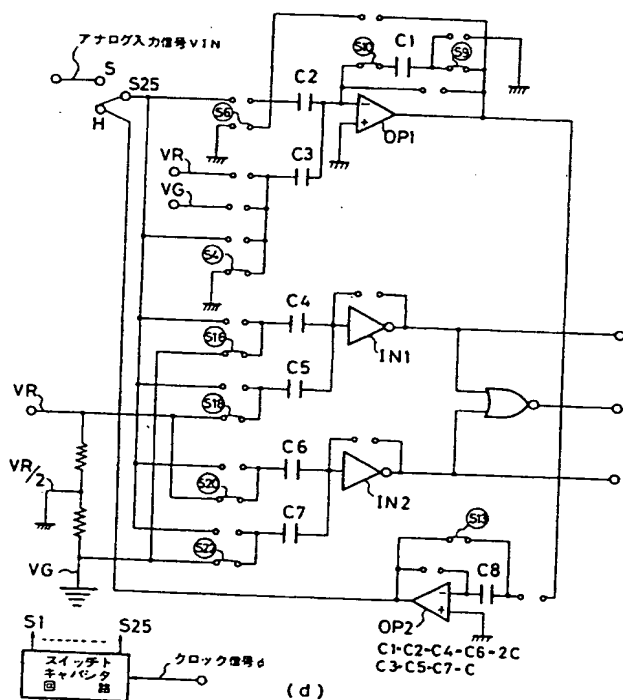
本発明の実施例のA/D変換器の動作に係る補足説明図
第5図(その1)



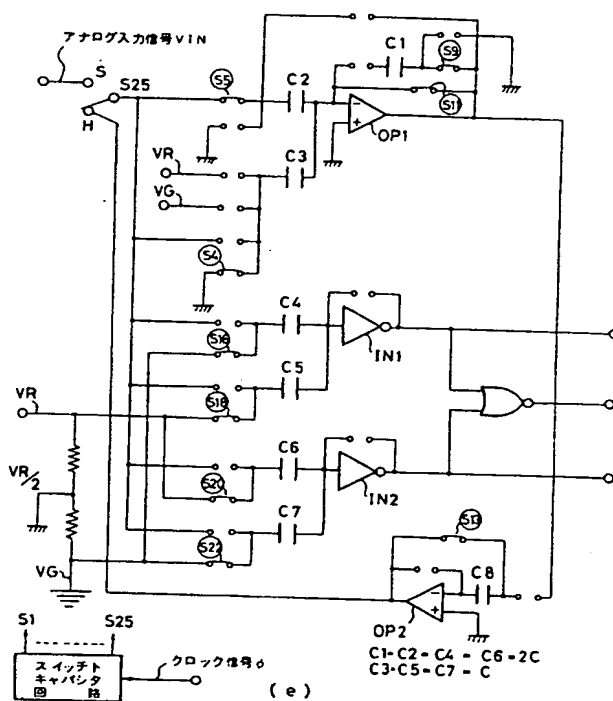
本発明の実施例のA/D変換器の動作に係る補足説明図
第5図(その2)



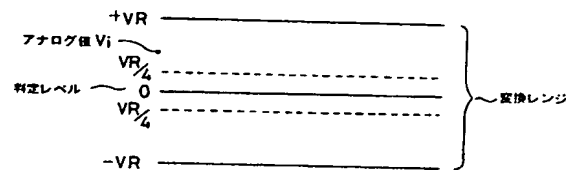
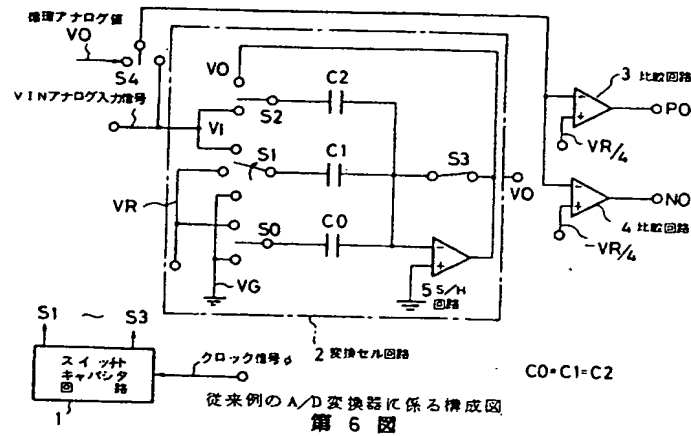
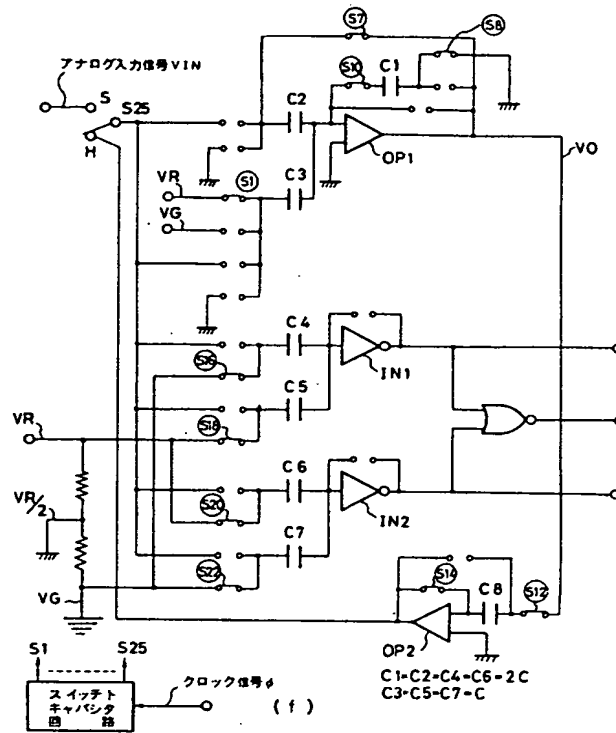
本発明の実施例のA/D変換器の動作に係る補足説明図
第5図(その3)



本発明の実施例のA/D変換器の動作に係る補足説明図
第5図(その4)



本発明の実施例のA/D変換器の動作に係る補足説明図
第5図(その5)



従来例の問題点に係る変換レンジを説明する図
第7図